

HRADLOVÁ POLE REKONFIGUROVATELNÁ ZA PROVOZU ZAŘÍZENÍ

Soběslav Valach
Marek Kváš

Ústav automatizace a měřicí techniky, FEKT, VUT Brno
valach@feec.vutbr.cz

Abstrakt:

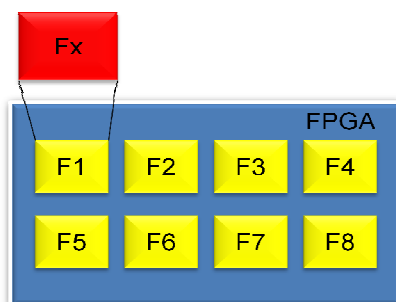
Popis dynamických konfiguračních technik FPGA a metod rekonfigurace zařízení za chodu, bez nutnosti rekonfigurovat celý obvod. Tyto techniky umožňují zavedení vyšší modularity a snížení výrobních nákladů zařízení.

1. Úvod

Nároky na zpracování informací a algoritmická složitost neustále roste. Tento trend je patrný nejen ve výpočetní technice ale u komerčních zařízení, která zpracovávají velké objemy dat pomocí složitých algoritmů. Převážně se jedná o zařízení zpracovávající video signál, datové a telekomunikační spoje, reálné časové řídicí systémy, medicínské aplikace a v neposlední řadě i komponenty pro automobily.

Zákazníci požadují vyšší výpočetní výkon obvykle za srovnatelnou nebo nižší cenu oproti předcházejícím verzím systému. Příkladem mohou být procesory, jejichž složitost a výpočetní výkon neustále roste nejen v taktovací frekvenci ale i v počtu jader, u paměťových modulů roste kapacita. Uživatel se už nespokojí jen s jednou pracující úlohou, ale vyžaduje, aby systém dovedl zpracovávat paralelně několik složitých aplikací. Podobné tendence jsou patrné i v aplikacích využívající hradlové pole na bázi FPGA. Je známo, že FPGA je struktura opakujících se prvků, které jsou uspořádány do takřka pravidelné sítě spojené propojovací maticí. Pro styk s okolním světem používají převážně digitální vstupy a výstupy. Struktura FPGA je konfigurovatelná obdobným způsobem, jako je mikroprocesor řízený programem. Je třeba si uvědomit, že mikroprocesor zpracovává programový kód zejména sekvenčně, naproti tomu FPGA kód nezpracovává, ale konfigurace slouží pro vybudování pevné logické sítě složené z kombinační a sekvenční logiky. Zapojení sítě je možné měnit externím požadavkem nebo zapnutím napájecích natětí – tyto události vyvolají konfiguraci.

Zvědavý čtenář si položí otázku, zda by nešlo měnit obvodovou a tím i procesní funkci dynamicky za chodu zařízení.



Obr. 1.: Příklad umístění modulů v FPGA

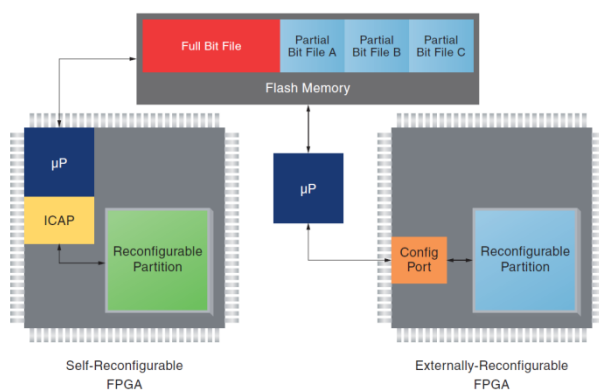
2. Metody částečné rekonfigurace

V úvodu článku byla zmíněna jedna z možných metod konfigurace FPGA, kterou lze z praktického hlediska považovat za statickou, kdy se do obvodu jednou zavede „funkcionalita“ a v obvodu zůstává až do vypnutí napájecího napětí. Popis statické rekonfigurace je známý a déle ho nebudeme diskutovat.

Zajímavější přístup je využití úplné nebo částečné dynamické rekonfigurace hradlového pole typu FPGA. Je dobré poznamenat, že ne všichni výrobci podporují částečnou rekonfiguraci FPGA a pro různé řady se mohou metody rekonfigurace výrazně odlišovat.

V první části vysvětlíme, co znamená dynamická rekonfigurace a jaké metody zavádění částečných konfigurací do hradlového pole.

Dynamickou rekonfiguraci můžeme provádět úplnou nebo částečnou. Pod pojmem úplná rekonfigurace si představujeme výměnu celého obsahu (konfigurace) FPGA. Využívá se v případech změny funkce celého pole a to vždy při přerušení funkcionality celého čipu. Jako příklad může sloužit update konfiguračního obsahu FPGA. Změna tohoto charakteru může být provedena z externího rozhraní nebo u některých polí pomocí interního rozhraní v FPGA zvaného **ICAP** (obr. 2). Tedy se dá říct, že za jistých okolností se FPGA může překonfigurovat samo. Nevýhodou této metody je, že při změně obsahu „funkce“ nebude po dobu provádění této úpravy FPGA vykonávat žádnou funkci a celý systém bude mimo provoz. Omezená nebo žádná funkcionality je v některých typech aplikací nežádoucí a může způsobit nefunkčnost zařízení nebo nesplnění předepsaných norem. Jako příklad uveďme rozhraní směrnice PCI Express budované na velkém hradlovém poli, jehož konfigurace trvá až jednotky sekund. V tomto případě dojde k neplnění specifikace PCI express, která požaduje připravenost linky do 100 ms.



Obr. 2: Možné konfigurace FPGA přes ICAP a externí rozhraní

Výše zmíněné nevýhody pomáhá eliminovat dynamická částečná rekonfigurace. Z názvu plyne, že se bude jednat jen o výměnu části systému a zpravidla zůstane zachována funkce zařízení.

Technika částečná rekonfigurace je omezena vlastnostmi a geometrií obvodu. Uživatel si musí uvědomit, že nelze rekonfigurovat obvod libovolně bez dodržování jistých pravidel. Obecně existují dva přístupy k částečné rekonfiguraci. Rozdělit je můžeme dle velikosti změn prováděných v hradlovém poli. Pro malé změny se používá diferenciální částečná rekonfigurace, kdy se provádí několik elementárních změn v nastavení jednotlivých buněk nebo jednotlivých komponent (změna násobícího poměru DCM bloku). Do druhé skupiny patří modulární rekonfigurace, které se provádí nad definovanou oblastí v FPGA. Rozdělení do modulů provádí uživatel. Schematické rozdělení je na obr. 1, kdy je FPGA rozděleno

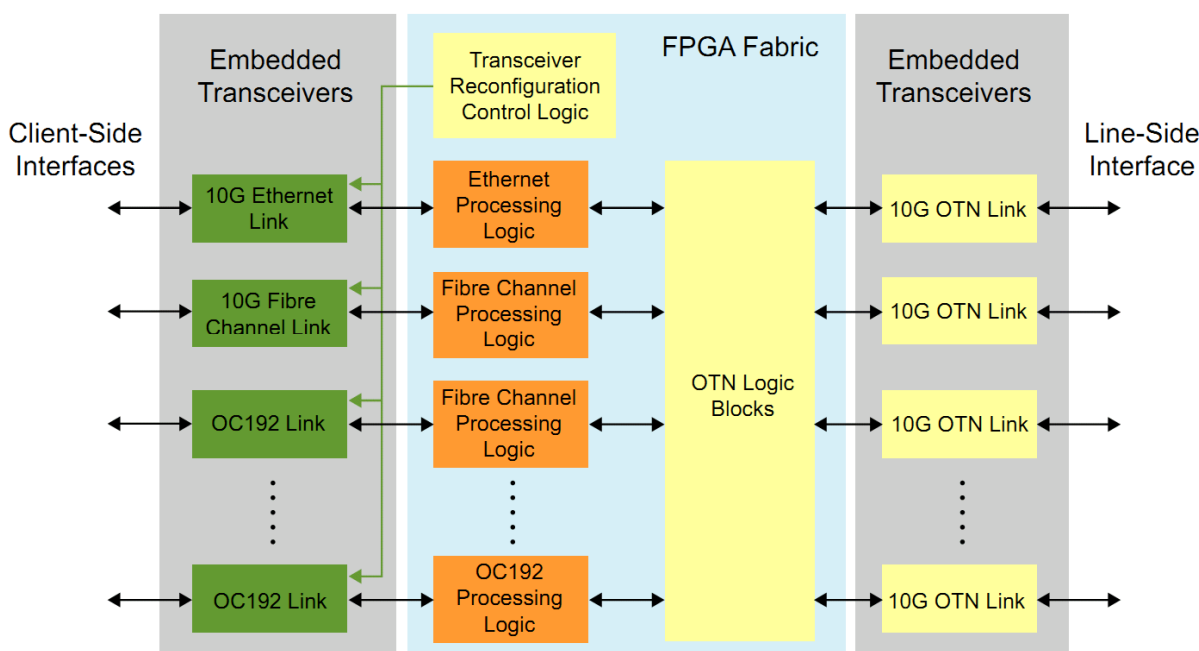
do více modulů. Moduly mohou být jak statické tak i dynamicky rekonfigurovatelné. Moduly se statickou částí zajišťují funkcionalitu během rekonfigurace výměnných modulů.

3. Motivace pro částečnou rekonfiguraci

V další části článku bude dobré zmínit důvody proč částečnou rekonfiguraci používat. Motivačních prvků je několik, první byl zmíněn v předcházejících kapitolách, kdy je třeba zajistit plnou funkčnost zařízení při změně konfigurace. Typickým zástupcem jsou protokolové a komunikační stacky (využívají telekomunikace, satelitní spoje, páteřní sítě – viz. obr. 3). Velkou skupinou jsou zařízení, která se musejí konfigurovat nebo rekonfigurovat za velmi krátký čas (sběrnice PCI Express spojené s rozsáhlými strukturami FPGA). V případě nedodržení těchto časů dochází k výpadku funkce zařízení.

Další skupinou jsou zařízení, přinášející vyšší stupeň modularity nebo využití dané platformy (testování a ověřování funkcí, realizace rozsáhlých aplikací převyšující možnosti současných FPGA, cenová optimalizace platformy).

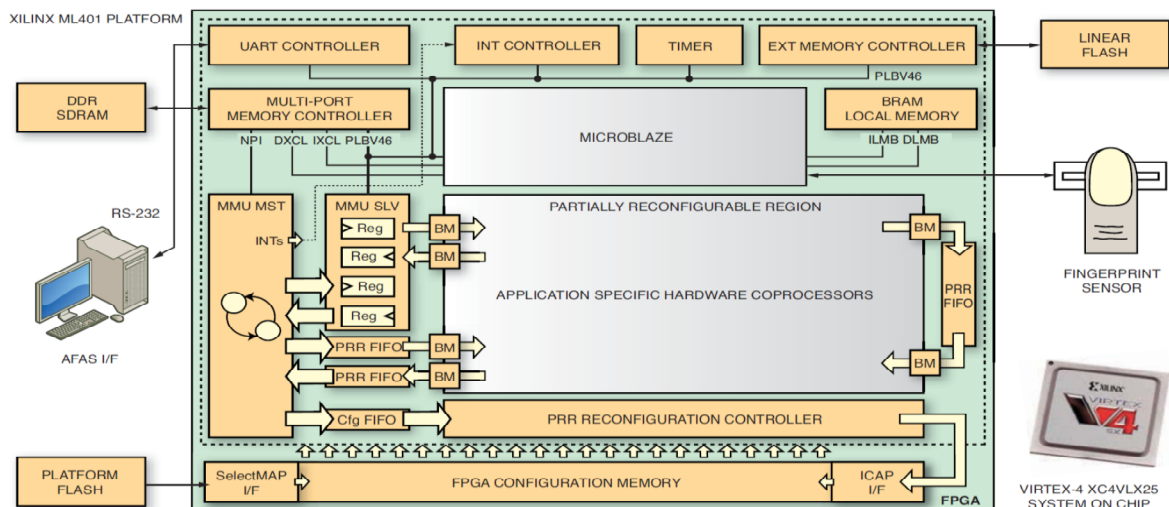
Poslední skupinou jsou safety critical aplikace, kde se provádí kontrola poškozených bloků vzniklá interakcí s vysokoenergetickou částicí – jedná se o detekci chyby v konfiguraci a její opravu (vesmírný program, vojenské systémy, letectví).



Obr. 3: Architektura konfigurovatelného převodníku protokolů pro 10Gbitové sítě

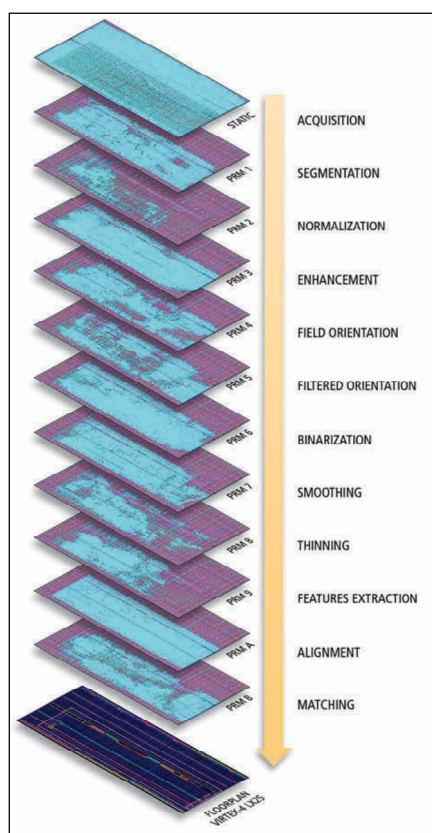
4. Aplikace využívající metod částečné rekonfigurace

V následující kapitole stručně popíšeme aplikaci využívající částečnou rekonfiguraci pro rozpoznání otisku prstu. Pro svoji činnost používá aplikace hradlové pole firmy Xilinx řady Virtex 4. Aplikace je složena z akviziční jednotky, která pořizuje obraz ze snímače otisků prstů. Dále je v hradlovém poli vytvořen soft-core procesor, zajišťující řízení všech probíhajících operací. Jako odkládací paměť je využita externí paměť DDR. Důležitou částí je re-konfigurační jednotka načítající obsah jednotlivých modulů z paměti Flash a zapisující rozhraním ICAP do oblasti pro moduly. Oblast určená pro dynamické moduly spotřebuje asi 45% plochy pole. Blokové schéma zapojení je na obr. 4.



Obr. 4: Blokové schéma detektoru otisku prstů

Průběh zpracování a vyhodnocení otisku prstu je popsán schématem na obr. 5, kdy je v první fázi do FPGA zaveden statický bitstream obsahující pouze řídicí prvky. Pro pořízení snímku prstu je zaveden modul s funkcí realizující pořízení obrázku. V následujících krocích jsou zaváděny další moduly provádějící operace nad obrazem (segmentace, normalizace ... zjišťování markrů, zarovnávání a porovnávání) viz. obr. 5.



Moduly jsou zaváděny sekvenčně a lze jejich pořadí měnit nebo zavádět jiné moduly dle situace – změna osvětlení, velikosti snímaného objektu. Výhodou tohoto uspořádání je úspora prostředků v FPGA, kdy jsou jednotlivé moduly zavedeny jen v době, kdy jsou nezbytně nutné pro zpracování dané úlohy.

Nevýhodou je zavedení režie na výměnu jednotlivých modulů, která je dána propustností konfiguračního interfacu, rychlostí paměti Flash, ve které jsou uloženy obsahy jednotlivých modulů a také délkou bitstreamů.

Aplikace jako celek pracuje na 100MHz. Výpočetní výkon i přes výše zmíněné režie dosahuje zhruba 5 násobku výpočetního výkonu procesoru Intel Core2Duo taktovaného na frekvenci 1,83 GHz.

V článku byly převážně vyzdvíženy přínosy metod částečné rekonfigurace hradlových polí typu FPGA ale je nutné zmínit i nevýhody této technologie. Především se jedná o absenci vhodných nástrojů umožňující pohodlnou a rychlou práci s danou technologií, omezené prostředky

verifikace a absenci relokace již přeložených kódů v rámci jednotlivých modulů v FPGA. Vzhledem k tomu, že se jedná o perspektivní technologii, lze očekávat výrazné zlepšení podpory v oblasti dostupných softwarových prostředků.

Literatura

- [1] Francisco Fons, Mariano Fons, Making Biometrics the Killer App of FPGA Dynamic Partial Reconfiguration. In Xcell journal 72/2010. Xilinx