

MODERNÍ TRENDY V PROGRAMOVATELNÉ LOGICE, APLIKACE V AUTOMATIZAČNÍ A MĚŘICÍ TECHNICE

Soběslav Valach

UAMT FEEC VUT Brno, Kolejní 2906/4, 612 00 Brno, valach@feec.vutbr.cz

Abstract:

Článek popisuje základní principy moderních programovatelných hradlových polí typu FPGA, se zaměřením na základní funkční bloky. Dále se také zaměřuje na vývojové nástroje a v poslední části na praktickou aplikaci FPGA v automobilovém průmyslu.

1. Úvod

Moderní elektrotechnický průmysl neustále stupňuje nároky na výpočetní výkon, kompaktnost řešení, rekonfigurovatelnost, a také pochopitelně uplatňuje ekonomické požadavky minimální ceny, a co nejkratšího vývojového cyklu produktu. Takto formulované požadavky jsou v ostrém rozporu a není vždy snadné je splnit.

Výrobci moderních elektronických součástek hledají řešení v neustále se zvyšující integraci a funkčnosti elektronických součástek. Typickým příkladem tohoto trendu jsou programovatelné struktury. Ať už se jedná o mikrokontrolery převážně zpracovávající sekvenční kód, nebo o digitální a analogová programovatelná hradlová pole zpracovávající operace paralelně. Není neobvyklé, že se kombinace výše zmíněných struktur vyskytuje na jednom čipu, respektive v jednom pouzdru.

Následující text bude zaměřen na digitální hradlová pole, popis vnitřních struktur, obecné principy funkce a vývojové nástroje vhodné pro efektivní návrh složitých struktur obsahujících více jak sto tisíc ekvivalentních hradel.

2. Motivace

Důležité je, položit otázku, proč vlastně došlo k vývoji těchto struktur. Motivačních prvků bylo několik. V první řadě šlo o pokus zavést prvky rekonfigurovatelnosti (změny zapojení) na desky plošných spojů, protože pevně zapojené struktury postavené na bázi jednotlivých hradel, nebylo možné modifikovat bez změny zapojení, nebo jen komplikovaným systémem propojek. Druhým motivačním krokem byla jakási protiváha k zákaznickým obvodům, jejichž vývoj je zdlouhavý, velmi nákladný a je určen především pro velko-objemové série. Třetím bodem bylo zvýšení výkonu systému postavených na dosavadních strukturách složených z jednotlivých hradel. Je logické, že systém integrovaný v jednom pouzdru, bude dosahovat lepších parametrů, než systémy, které jsou tvořeny motivem na plošném spoji, s čímž je spojena i nižší cena a vyšší spolehlivost. Jednou z posledních výhod je zvýšení bezpečnosti návrhu – je problematické kopírovat struktury uložené uvnitř obvodů. Současná praxe v elektrotechnickém průmyslu ukazuje, že nastoupená cesta byla krok správným směrem.

3. Historie

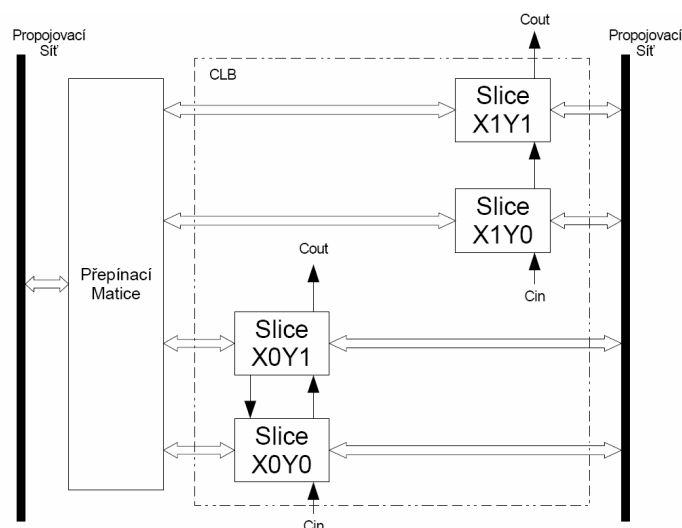
Historie vývoje digitálních hradlových polí je poměrně dlouhá, a byla zahájena v roce 1975 uvedením jednoho z prvních digitálních hradlových polí FPLA (Field Programmable Logic Array) na světě firmou Signetics Corporation. Jednalo se o obvody typu FPLA a PLA, tedy maskou programované logické obvody využívající paměť PROM. Logické funkce byly tvořeny pomocí programovatelného pole AND, za kterým následovalo programovatelné pole OR. Další vývoj pokračoval v doplňování stavebních bloků logických sítí jako jsou klopné obvody, které umožnily uživatelům vytvářet sekvenční obvodové struktury. Jednalo se o obvody typu PLD (Programmable Logic Device). V osmdesátých letech dochází k rozvoji mazatelných obvodů, které byly a neustále jsou vyráběny firmou Lattice Semiconductor známé pod obchodním názvem GAL (Generic Array Logic). V této době dochází k rozvoji obvodů, které nejsou tvořeny logickou sítí AND a OR funkcí, ale jsou tvořeny na bázi konfigurovatelné tabulky (**L**ook **u**p **T**able). Technologie LUT je využívána dodnes jako hlavní stavební prvek moderních programovatelných struktur.

3. Architektura

V současnosti jsou digitální hradlové pole rozdělena na dvě skupiny. První a historicky starší tvoří obvody CPLD (Complex Programmable Logic Device) a druhou velkou skupinou jsou obvody FPGA (Filed Programmable Gate Array). Z pohledu moderních trendů v elektrotechnice je jisté, že pole typu CPLD budou v průběhu několika let prakticky nahrazeny poli typu FPGA, kterým se budeme dále podrobně věnovat v následujících odstavcích.

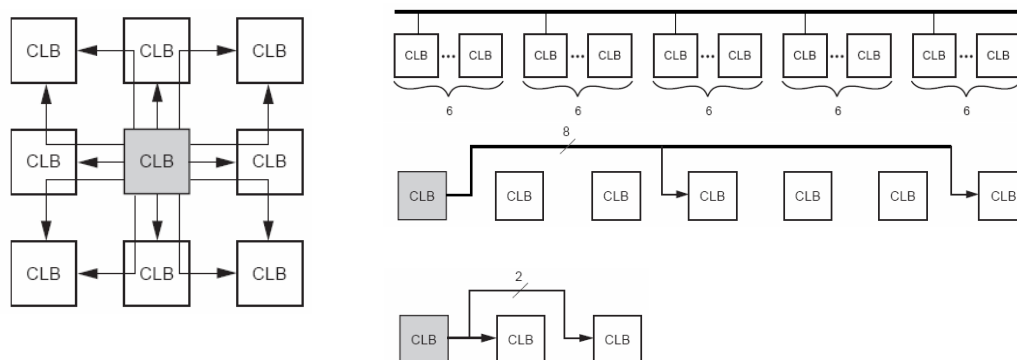
Pro doplnění přehledu uvedme největší hráče na trhu s FPGA. Jedná se o firmy Xilinx se zastoupením asi 48% podílu na trhu, na druhém místě je Altera s podílem 45% a zbývající část trhu zaujímá Lattice Semiconductors (vysoce kvalitní a speciální pole zaměřené na protokolové vrstvy), Actel (interní programovací paměť Flash pro kompaktní řešení), Atmel (spojení procesoru a hradlového pole) a jiní minoritní výrobci.

V hradlových polích jsou dva základní stavební bloky. První skupinu tvoří konfigurovatelné logické bloky (CLB), které zajišťují generování logických funkcí a návaznost na sekvenční logické prvky. Každý CLB blok obsahuje čtyři tzv. slice (viz. Obr. 1), které jsou připojeny na propojovací matice, nebo jsou přímo spojeny se sousedními slices. Dále každý slice obsahuje dva úplné generátory čtyř vstupních logických funkcí a dva konfigurovatelné klopné obvody (typ D nebo Latch, s volbou synchronního-asynchronního resetu, povolením hodin a možností přednastavení). Logika slice je doplněna o obvody nezbytné pro přenos přetečení čítačů z předcházejících stupňů (polovina vnitřní struktury slice je vyobrazena na Obr. 3).



Obr. 1: CLB v hradlovém poli firmy Xilinx

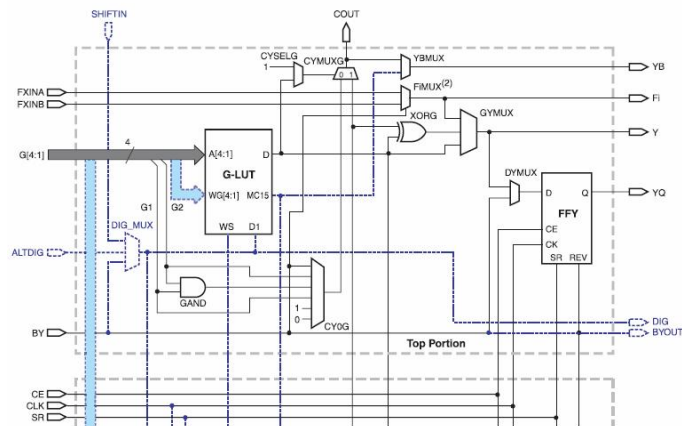
Druhou skupinou jsou propojovací sítě, které zajišťují propojení mezi konfigurovatelnými logickými bloky navzájem, funkčními bloky a také vstupně - výstupními obvody. Propojovací sítě se dělí u obvodů Xilinx na Long Line, Hex Line, Double Line a Direct Line (viz. Obr. 2). Speciálním případem propojovací sítě jsou rozvody hodin, kterých je omezený počet a mají speciální vlastnosti (nízká kapacita, velmi malé rozdíly ve zpoždění signálů v různých částech čipu).



Obr. 2: Schéma propojovací sítě (vpravo - Direkt Line, Long, Hex a Double Lines)

Long Lines slouží k propojení mezi CLB, které jsou od sebe ve vzdálenosti 6 CLB (viz. Obr. 2). Propojovací sítě Hex Lines jsou určeny pro propojení mezi CLB ve vzdálenosti 3 bloků. Pro bližší propojení slouží Double Lines, které umožňují propojení ob jeden blok. Vůbec nejužší propojení poskytují Direct Lines, které dovolují libovolné propojení se sousedem. Navržená struktura umožňuje propojení prakticky jakýchkoliv funkčních bloků na čipu při minimálních nákladech a optimálním výkonu (zatížení sběrnic, zpoždění signálu).

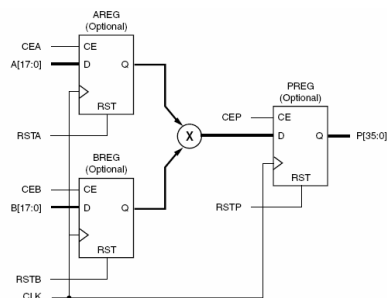
Výše zmíněné struktury v podobě, která byla uvedena výše, jsou prakticky známy od roku 1985 a svoji podobu si udržují až do současnosti (pochopitelně není možné srovnávat podobu buněk z roku 1985 s dnešním stavem, který vidíme na Obr. 3, ale princip, jako takový byl zachován).



Obr. 3: Polovina slice v hradlovém poli Spartan3

Zlomovým bodem ve vývoji hradlových polí, bylo přidávání dalších funkcí do vnitřních struktur. Jednou z prvních funkcí byl konfigurovatelný vstup - výstupní blok, kde si uživatel mohl vybrat logický standard, který bude používat, popřípadě zda použije pull-up, pull-down nebo bude udržovat poslední úroveň (keeper). S rozvojem digitálního zpracování signálu následovalo přidávání funkčních bloků zajišťujících rychlé a jednoduché vytváření DSP operací bez nutnosti doplňovat pole externími součástkami.

Jako první (rok 1998) se objevily tzv. blokové paměti typu RAM. Bloková paměť je opět konfigurovatelný blok, který umožní nastavit šířku vstupní/výstupní sběrnice, typ paměti – jedno-bránová nebo dvou- bránová. Blokové paměť obvykle souží jako vyrovnávací paměť, paměť pro mezivýsledky, zpoždění průchodu signálů při digitální filtraci, nebo dokonce jako paměť programu pro procesory vytvořené, nebo integrované v FPGA. Logickým důsledkem bylo rozšíření o funkční bloky násobení (18 x 18 bitů s 36 bitovým výsledkem). Takto navržená struktura již umožňuje provádět složité matematické operace v reálném čase (jen pro představu uveďme, že low cost hradlové pole Spartan3E (v ceně 17USD za kus při odběru 1000ks) dokáže provést 4,8 miliardy násobení za sekundu).

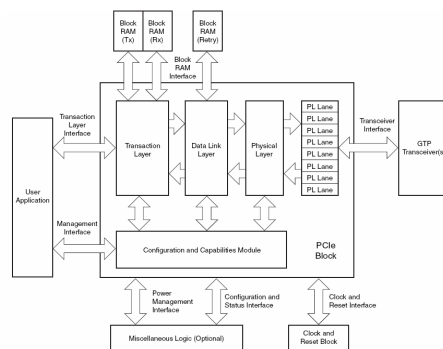


Obr. 4 Blokové schéma násobičky

Moderní hradlové pole jsou dále doplněny o syntezátory frekvence a fázové závěsy pro úpravu vstupních hodinových signálů – jednotky DCM nebo PLL. Výhodou je, že přímo na čipu hradlového pole může být vyrobena takřka libovolná frekvence s prakticky libovolným fázovým posunem. Obvykle je možný fázový posun v rozlišení pod 100 ps.

Trendy posledních let vedou k integraci stále nových jednotek, které nacházejí uplatnění hlavně v oblasti komunikací - integrací rychlých transceiveru (obvykle se jedná o fyzické vrstvy protokolů Ethernet 100Mbit-10Gbit, SONET, PCI Express, OC48 a RapidIO). S tím souvisí postupná integrace vyšších vrstev protokolů a jader procesoru do struktur FPGA. Poslední hradlová pole rodiny Virtex5 firmy Xilinx umožňují přímé připojení na sběrnici PCI Express se všemi vrstvami, které definuje standard PCI Express pro Endpoint

zařízení. Typické zapojení Endpointu uvnitř FPGA je uvedeno na Obr. 5. Prosím, povšimněte si, využití blokových pamětí u transakčních a linkových vrstev, a připojení transceiveru tvořícího výstup z fyzické vrstvy.



Obr. 5: Endpoint sběrnice PCI Express v FPGA

Processorové jednotky jsou děleny na dvě velké skupiny. První skupinou jsou tzv. soft procesory, vytvořené pomocí základních stavebních bloků v hradlovém poli. Výhodou soft struktur je snadná konfigurace a přenositelnost mezi jednotlivými řadami hradlových polí. Řady soft-processorových jader jsou velmi rozmanité od 8-bitových procesorů, zabírajících několik desítek, až po systémy vyžadující desetitíciíce slices. Obvykle jsou soft-jádra dodávána výrobcem hradlových polí (firma Xilinx – 8 bitový procesor Picoblaze, 32 bitový Microblaze, od firmy Altera je známý 32 bitový procesor Nios, a firma Lattice nabízí procesor LatticeMicro32). Nevýhodou soft řešení je nižší pracovní frekvence (např. již zmíněné low cost řešení dosahuje pracovní frekvence u 32bitového mikroprocesoru kolem 66MHz).

Druhou skupinou jsou jádra integrovaná přímo do křemíku. V těchto případech je velmi omezená konfigurace procesoru, ovšem procesory pracují až do frekvence 500MHz s podporou jednotek správy paměti MMU. Firma Xilinx integruje přímo na čip procesory PowerPC řady 405.

Jedním z posledních trendů v oblasti hradlových polí je tzv. částečná rekonfigurace pole. V případě potřeby, lze dynamicky měnit obsah části pole za chodu. To znamená, nahrazení jedné funkce, funkcí druhou (např. výměna transformace FFT za matematický koprocesor). Tato technologie je podporována jen u některých řad hradlových polí firmy Xilinx a obecně se dá říct, že není běžně nasazována do praxe, ale dá se předpokládat prudký nárůst nasazení v budoucnu.

4. Programovací techniky

V předchozí části jsme zjednodušeně popsali strukturu hradlového pole a některé jeho funkční bloky. Problém neustále zůstává v tom, jak uživatel “vysvětlí” konfigurovatelnému hardwaru, co po něm požaduje. Jedna z možností, která se používá od prvopočátku, je popis ve schématech. Ten je názorný a snadno pochopitelný, ovšem jen v omezeném rozsahu využití. Pokud budeme předpokládat strukturu s několika desítkami či stovkami hradel, asi nenastane žádný větší problém v pochopení funkce daného zapojení. Problémy lze očekávat v případech, kdy budeme nuceni část zapojení modifikovat nebo přepracovat. V případě, kdy bude nutné pracovat se strukturami, které používají pro svoji činnost tisíce, statisíce nebo dokonce miliony hradel, je tento postup nepoužitelný a nevede k dosažení požadovaného cíle.

Z tohoto důvodu byly vytvořeny programovací jazyky, které pomocí jisté formy abstrakce oddělí programátora od fyzického hardwaru a zajistí přenositelnost kódů mezi

jednotlivými řadami hradlových polí a dokonce ne jen mezi výrobci ale i mezi technologiemi (FPGA – ASIC). Tyto jazyky se souhrnně označují jako HDL (High Definition Language) a patří mezi ně jazyk Verilog (používaný hlavně v Asii a Americe) a jazyk VHDL, vyvinutý pro potřeby americké armády (používaný v USA, Evropě a minoritně v Asii). V těchto jazycích je možné popisovat problémy, od těch nejjednodušších (kombinační logika), až po struktury typu procesor, koprocesor, řadič paměti nebo rozhraní sběrnice PCI Express. Další nespornou výhodou strukturovaných textů je možnost týmové práce, správy verzí a simulace zapojení.

V současnosti se dále rozvíjejí techniky využívající grafické prostředí, které spojuje a integruje jednotlivé bloky psané v HDL jazycích dohromady a umožňuje tak vytvářet tzv. struktury typu SoC (System on Chip).

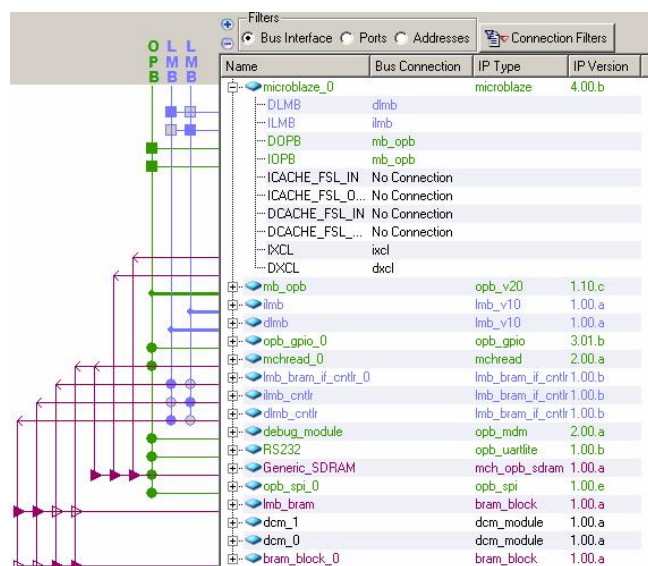
5. Příklad využití struktur FPGA v automobilovém průmyslu

Jako jeden z příkladů moderního trendu v řízení a automatizaci uvedme projekt řešení dle požadavku firmy Volkswagen pro generování obrazových dat na palubních přístrojích. Pro řešení projektu bylo vybráno zapojení s hradlovým polem Spartan3E (XC3S1200E – odpovídá asi 1,2 milionu ekvivalentních hradel).

Systém byl vybaven externí pamětí SDRAM o velikosti 16MB s šířkou datové sběrnice 32 bitů a 8MB paměti Flash pro program a statická data (pozadí, palety, fonty, ukazatel směru, ABS a jiné komponenty, které je nutné za provozu vozidla zobrazovat nebo předávat jako informaci směrem k řidiči). Systém byl dále doplněn o oscilátor, ze kterého se odvozuji ostatní kmitočty (pomocí DCM bloků uvnitř FPGA) potřebné pro spolehlivou činnost jednotky. Hradlové pole bylo doplněno o celou řadu periferních zařízení zajišťujících komunikaci mezi zobrazovací jednotkou a okolním světem. Jednalo se především o rozhraní sériové linky RS232 sloužící pro nastavování parametru, rozhraní I2C pro komunikaci s řídicí elektronikou ve vozidle, USB systém pro komunikaci uživatelskými zařízeními (flash disk), obecné vstupy a výstupy pro signalizaci stavů systému a JTAG rozhraní pro rychlé protypování a testování navržené struktury v FPGA .

Stěžejním bodem úspěšné implementace a realizace zobrazovací jednotky je vhodná vnitřní architektura struktury hradlového pole. Návrh byl rozdělen na dva moduly. První modul využívá vlastností a předchystaných komponentů vývojového prostředí EDK (Embedded Development Kit) firmy Xilinx viz. *Obr. 6* – a druhá skupina modulů je určena pro uživatelské funkce, které budou vytvořeny a zahrnuty do prostředí EDK. Programovacím jazykem pro tvorbu, nebo úpravu všech modulů je VHDL, který nám poskytuje dostatečnou formu abstrakce a odděluje programátorskou činnost od vrstev hardwaru.

Hlavním stavebním prvkem je 32 bitový soft core procesor Microblaze. Jak již název napovídá nejedná se o procesor připravený uvnitř křemíkové struktury, ale o procesor, který je tvořen pomocí propojení jednotlivých elementárních bloků uvnitř FPGA. Díky popisu struktury ve vyšším jazyku je možné procesor přeložit pro libovolného hradlového pole firmy Xilinx – tato vlastnost zajišťuje neomezenou životnost navrženého řešení. Další výhodou je možnost konfigurovat procesor dle požadavků na využívané zdroje (cache, debug moduly, přerušení, sběrnice) a jejich případnou emulaci v softwaru (operace násobení, dělení, operace v pohyblivé řádové čárce, atd).



Obr. 6: Příklad zapojení systému v EKD Xilinx

Při implementaci zobrazovací jednotky bude procesor zajišťovat vyšší řídicí funkce jako nastavování parametrů výkonných jednotek, kreslení a renderování textu, změnu pozadí, zobrazení symbolů a komunikaci s okolním světem viz. blokové schéma na Obr. 7.

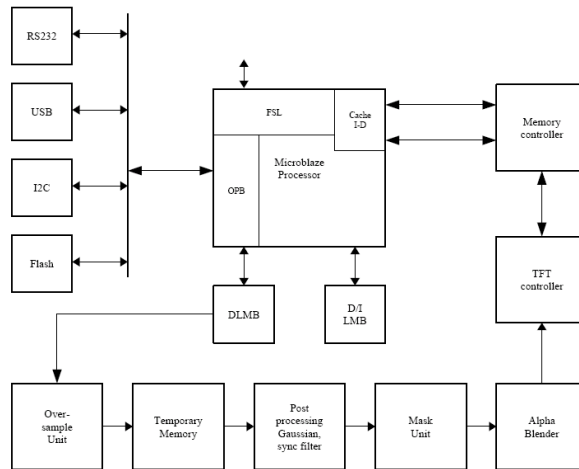
Periferní zařízení jsou připojena k procesoru pomocí systému sběrnic, které jsou rozděleny podle rychlosti a latence přístupu.

Sběrnice OPB (On Chip Peripheral Bus) je využívána pro komunikaci s „pomalými“ periferními zařízeními (RS232, I2C, Flash a USB) a dále umožňuje spojení s hlavní pamětí pro přístupy generované debuggerem.

Rychlá zařízení, která potřebují poměrně nízkou latenci a přístup k velkému objemu dat, jsou připojena po dedikovaných kanálech typu FSL(Fast Simplex Link) k multiportému řadiči paměti. Jedná se především o instrukční a datovou sběrnici procesoru (instrukční i datové část má vlastní obousměrný kanál), dále je k rychlému kanálu připojen řadič zobrazovače, kde standardní datový tok dosahuje 60MB/s.

Zvýšení propustnosti dat je dosahováno pomocí vnitřních pamětí BlockRam, které jsou využívány jako buffery, paměti cache a v neposlední řadě jako paměti pro mezivýsledky grafických operací.

Poslední a nejdůležitější částí systému jsou výkonné jednotky, které zajišťují kreslení rafičky přístroje 50x za sekundu. Řetězec uživatelských výkonných jednotek je uspořádán tak, aby bylo dosaženo co nejlepších vizuálních efektů na cílovém zobrazovači. Především se jedná o plynulost pohybu a potlačení nežádoucích rušivých jevů jako je aliasing. Proto, aby došlo k co nejlepšímu potlačení aliasingu, je každý objekt, který se zobrazuje v průhledné oblasti převzorkován (jednotka oversampling) využívá se rastr 7 x 7 bodů výsledek je uložen do přechodné paměti, ze které je vybírán a filtrován jedním z 2-D filtrů (muže byt zvolen filtr s Gaussovým rozložením, sync nebo obdélník, volba zatím zaleží na subjektivním posouzení pozorovatele).



Obr. 7: Blokové schéma vnitřní struktury FPGA

V poslední kroku se vytvoří maska, která je smíchána s obrazem pozadí a výsledně zobrazena na displeji. Pro výpočet hodnoty bodu se používá vztah $P_n = PF_n * \alpha + FB_n * (1 - \alpha)$, kde α je hodnota alfa kanálu, PF_n je hodnota složky (R,G,B) bodu na popředí a FB_n je hodnota složky bodu pozadí. Sekvence těchto operací se provádí 25 milionkrát za 1s pro každou složku (zhruba 150 milionů celočíselných násobení za sekundu). Dosažené výsledky je možno vidět na Obr. 8.



Obr. 8: Grafické obrazovka palubního přístroje

6. Rekapitulace

Struktury hradlových polí nacházejí pro svoji flexibilitu neustále větší uplatnění v různých oborech lidské. Rozvoj technologie posouvá hranice a možnosti těchto struktur neustále dopředu. V současnosti je poměrně běžné nasazování „levných“ hradlových polí v telekomunikační technice, v obrazových přenosových trasách, automobilovém průmyslu a lékařství. Přechodem na výrobní technologii 65nm lze očekávat snížení ceny a nárůst pracovní frekvence.

Literatura

- [1] Xilinx: Spartan-3 Generation FPGA User Guide, December 2006
- [2] Altera: Cyclone II Device Family Data Sheet, 2006